

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-358139

(43)Date of publication of application : 13.12.2002

(51)Int.Cl.

G06F 1/04

G06F 15/78

(21)Application number : 2001-166735

(71)Applicant : RICOH CO LTD

(22)Date of filing : 01.06.2001

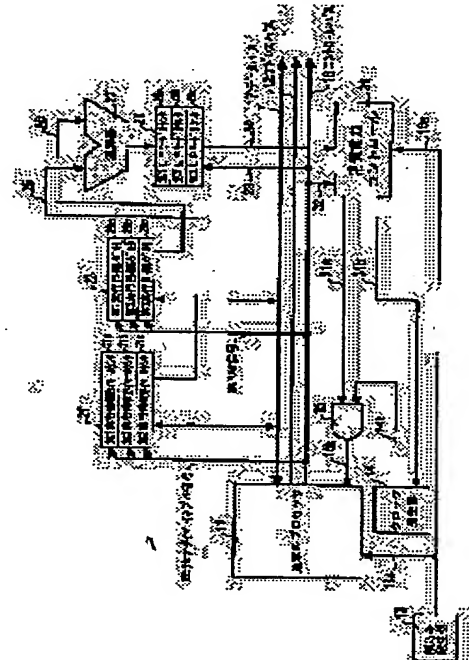
(72)Inventor : FUKUSHIMA MASANOBU

(54) LOW POWER CONSUMPTION PROCESSOR

(57)Abstract

PROBLEM TO BE SOLVED: To provide a low power consumption processor capable of operating with low power consumption for a program from which any quick response is not expected, and quickly operating with the power consumption scarified for a program whose priority order is high to be processed within a limited time or a program from which a quicker response is expected.

SOLUTION: This processor is provided with a processor 11 for performing a program, a plurality of performance time timer counter device 21 whose count enable is possible for measuring the performing time of a program, a performance target register 21 for storing the target value of the performance time of each program, an arithmetic unit 27 for comparing the performance target value with the performance time, an LP mode counter device 28 for storing the arithmetic result, and a controller 31 for controlling clock supply to the processor based on the output signal of the LP mode counter device 28.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-358139
(P2002-358139A)

(43) 公開日 平成14年12月13日 (2002. 12. 13)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 1/04	3 0 1	G 0 6 F 1/04	3 0 1 C 5 B 0 6 2
15/78	5 1 0	15/78	5 1 0 P 5 B 0 7 9

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2001-166735(P2001-166735)

(22) 出願日 平成13年6月1日(2001. 6. 1)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 福島 正展

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(74) 代理人 100085213

弁理士 鳥居 洋

Fターム(参考) 5B062 HH04

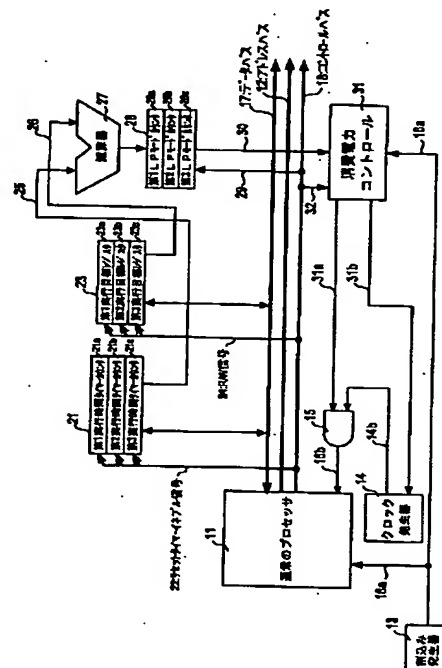
5B079 AA07 BA13 BB04 BC01

(54) 【発明の名称】 低消費電力プロセッサ

(57) 【要約】

【課題】 遅く走っても良いプログラムに対してはより低消費電力で走行させると共に、制限時間内に処理する必要のある優先順位の高いプログラムや、より早いレスポンスを期待するプログラムに対しては、消費電力を犠牲にしても速く走らせることができる低消費電力プロセッサを供給することを目的とする。

【解決手段】 プログラムを実行するプロセッサ11と、プロセッサ11からリセット、カウントイネーブルできプログラムの実行時間を計測するための複数の実行時間タイマーカウンタ装置21、プログラム毎の実行時間の目標値を格納する実行目標レジスタ21と、実行目標値と実行時間を比較する演算器27と、演算結果を格納するLPモードカウンタ装置28と、前記LPモードカウンタ装置28の出力信号に基づきプロセッサへのクロック供給をコントロールする制御装置31と、を備える。



1

【特許請求の範囲】

【請求項1】 プログラムを実行するプロセッサと、プログラム毎の実行目標値を設定するための記憶装置と、プログラムの実行時間を測定するカウンタ手段と、プログラムの実行時間が実行目標値に対して少ない場合には、実行目標時間になるまでプロセッサのクロックの供給を止める手段と、を備え、前記プログラム毎の実行目標値を設定するための記憶装置を書換えることで、プログラム毎の実行時間と消費電力を制御することを特徴とする低消費電力プロセッサ。

【請求項2】 プログラムを実行するプロセッサと、プロセッサからリセット、カウントイネーブルできプログラムの実行時間を計測するための複数のタイマーカウンタ装置、プログラム毎の実行時間の目標値を格納する複数の記憶装置と、実行目標値と実行時間を比較する演算器と、演算結果を格納するウェイト用カウンタ装置と、前記ウェイト用カウンタ装置の出力信号に基づきプロセッサへのクロック供給をコントロールする制御装置と、を備えることを特徴としている低消費電力プロセッサ。

【請求項3】 プロセッサの命令によりプログラムの所望の位置にて、実行時間を測定する前記タイマーカウンタをリセットするとともに、カウンタをイネーブルにする手段と、プログラムの命令によりプログラムの所望の位置にて、前記演算装置で実行目標時間と実行時間の差を演算し、その値を前記ウェイト用カウンタ装置に格納する手段と、前記ウェイト用カウンタ装置の値が1以上の場合に、ウェイト用カウンタ装置をクロックに同期してデクリメントする手段と、ウェイト用カウンタ値が1以上の場合に、プロセッサへのクロック供給を停止する制御手段と、を備えることを特徴としている請求項2に記載の低消費電力プロセッサ。

【請求項4】 プログラムを実行するプロセッサと、プログラムの実行時間の目標値を格納する複数の記憶装置と、実行時間の目標値と接続され、プロセッサから実行時間の目標値をプッシュする手段を備えるカウンタスタック装置と、前記カウンタスタックからのステータス出力信号からプロセッサへのクロック供給を制御する手段と、を備え、前記カウンタスタック装置は、各レベルのカウンタを同時に動作させるカウント機能を持ち、下層レベルのカウンタ値が実行目標時間になった場合に、上層レベルのカウンタを実行目標時間に達したことを意味する値に設定する機能を有し、前記カウンタスタック装置の最上位のレベルのカウンタが実行目標時間に達した場合には、そのステータス信号を出力することを特徴とする低消費電力プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、消費電力を制御する低消費電力プロセッサに関し、特に、ノートパソコン、PDAなど携帯用電子機器に用いて好適なプロセ

2

サに関する。

【0002】

【従来の技術】 クロック信号によって動作するプロセッサにおいて消費される電力は、クロック信号の周波数に比例して増大する。プロセッサを使用した電子機器においては、従来から消費電力を低減させることが重要な課題となっている。

【0003】 従来より、プロセッサの低消費電力化の技術としては、低消費電力モード時には、クロック周波数を下げる、或いは使用しない回路ブロックへはクロック供給を停止する等のコントロールをおこなう技術が知られている。例えば、特開平10-301659号公報等に提案されている。

【0004】 また、特開平7-200106号公報には、プロセッサの動作モードに応じて、プロセッサが指示する周辺デバイスにのみに電源供給を行い、電源のコントロールによって、周辺デバイス回路の低消費電力化を行うことが示されている。

【0005】 また、特開平10-133789号公報には、実行するプログラムの挙動によらずに、電力消費に伴う発熱量が一定以上となることを回避するために、システムクロックをカウントする手段と各モジュールの動作クロック数をカウントする手段を持ち、モジュールの活性化率がある予め定めた値に達した場合、そのモジュールまたはシステム全体が低消費電力モードに移行するプロセッサが示されている。

【0006】 また、特許第275520号には、プロセッサがプログラム実行中にハードウェア割込みを期待したアイドル状態、または次のタスク処理への移行待ちが必ずあることに着目し、このようなアイドル時又はタスク移行時にプロセッサのクロック供給を中断することにより低消費電力化を行うように構成したプロセッサが示されている。この特許には、プロセッサが特定のアイドルルーチンに入ってから起動して所定時間後にタイマー割込み信号を発生する手段、プロセッサがタスク処理ルーチンの1つのタスク処理終了時に起動して、所定時間後にタイマー割込み信号を発生する手段、を備えていることを特徴としている。

【0007】

【発明が解決しようとする課題】 上記したように、マイクロプロセッサを用いたシステムで特に低消費電力で動作することが期待されているシステムにおいて、マイクロプロセッサを低消費電力化する従来の方法の1つとしては、クロック周波数を下げる方式が知られている。この方式では、全てのプログラムが一様に遅くなり、レスポンスが悪くなったり、制限時間内に処理が終了しなくなったりする問題がある。

【0008】 また、他の従来の方法としては、割込み待ち状態をアイドル(IDLE)状態にして、IDLE状態の場合にはクロック供給を止める方式が知られてい

3

る。しかし、この方法では、プロセッサがプログラムを
実行中の低消費電力化は不可能であり、低消費電力への
効果が少ないという問題がある。

【0009】本発明は上記の問題を鑑みて、プログラム
毎に実行時間を制御し、影響の少ないプログラムに対し
てはIDLE状態を積極的にプロセッサ自身が作成する
ことにより、遅く走っても良いプログラムに対してはより
低消費電力で走行させると共に、制限時間内に処理する
必要のある優先順位の高いプログラムや、より早いレス
ポンスを期待するプログラムに対しては、消費電力を犠
牲にしても速く走らせることができるコントロール手
段をもつ低消費電力プロセッサを供給することを目的と
する。

【0010】

【課題を解決するための手段】この発明の低消費電力プ
ロセッサは、プログラムを実行するプロセッサと、プロ
グラム毎の実行目標値を設定するための記憶装置と、プ
ログラムの実行時間を測定するカウンタ手段と、プログ
ラムの実行時間が実行目標値に対して少ない場合には、
実行目標時間になるまでプロセッサのクロックの供給を
止める手段と、を備え、前記プログラム毎の実行目標値
を設定するための記憶装置を書換えることで、プログラ
ム毎の実行時間と消費電力を制御することを特徴とす
る。

【0011】また、この発明の低消費電力プロセッサ
は、プログラムを実行するプロセッサと、プロセッサか
らリセット、カウントイネーブルでプログラムの実行
時間を計測するための複数のタイマーカウンタ装置、プ
ログラム毎の実行時間の目標値を格納する複数の記憶装
置と、実行目標値と実行時間を比較する演算器と、演算
結果を格納するウェイト用カウンタ装置と、前記ウェイト
用カウンタ装置の出力信号に基づきプロセッサへのクロ
ック供給をコントロールする制御装置と、を備えるこ
とを特徴とする。

【0012】更に、この発明は、プロセッサの命令によ
りプログラムの所望の位置にて、実行時間を測定する前
記タイマーカウンタをリセットするとともに、カウンタ
をイネーブルにする手段と、プログラムの命令によりプ
ログラムの所望の位置にて、前記演算装置で実行目標時
間と実行時間の差を演算し、その値を前記ウェイト用カ
ウンタ装置に格納する手段と、前記ウェイト用カウンタ
装置の値が1以上の場合に、ウェイト用カウンタ装置を
クロックに同期してデクリメントする手段と、ウェイト
用カウンタ値が1以上の場合に、プロセッサへのクロッ
ク供給を停止する制御手段と、を備えることを特徴とし
ている。

【0013】、上記したように、プロセッサ内にプログ
ラム毎の実行目標値を設定するための記憶装置と、プロ
gramの実行時間を同時に測定するカウンタ手段と、プ
ログラムの実行時間が、実行目標値に対して少ない場合

4

には、実行目標時間になるまで、プロセッサのクロック
の供給を止める手段と、を備えているため、プログラム
毎に目標実行時間を制御することが可能である。また、
プログラム毎の実行目標値を設定するための記憶装置を
書換えることで、プログラム毎の実行時間と消費電力を
制御する手段をもつため、プログラム毎に実行時間を制
御し、遅く走っても良いプログラムに対してはより低消
費電力で走行させると共に、制限時間内に処理する必要
のある優先順位の高いプログラムや、より早いレスポ
ンスを期待するプログラムに対しては、消費電力を犠牲に
しても速く走らせることができる。

【0014】また、この発明の低消費電力プロセッサ
は、プログラムを実行するプロセッサと、プログラムの
実行時間の目標値を格納する複数の記憶装置と、実行時
間の目標値と接続され、プロセッサから実行時間の目標
値をプッシュする手段を備えるカウンタスタック装置
と、前記カウンタスタックからのステータス出力信号か
らプロセッサへのクロック供給を制御する手段と、を備
え、前記カウンタスタック装置は、各レベルのカウンタ
を同時に動作させるカウント機能を持ち、下層レベルの
カウンタ値が実行目標時間になった場合に、上層レベル
のカウンタを実行目標時間に達したことを意味する値に
設定する機能を有し、前記カウンタスタック装置の最上
位のレベルのカウンタが実行目標時間に達した場合に
は、そのステータス信号を出力することを特徴とする。

【0015】上記した構成の発明では、実行目標値に達
したかどうかを測定するカウンタスタック装置を持つた
め、同一プログラムがネスト処理されている場合にも、
プログラム毎の実行時間と消費電力をコントロールする
ことが可能である。また、下層レベルのカウンタ値が実
行目標時間になった場合には、より上層レベルのカウン
タを実行目標時間に達したことを意味する値に設定する
機能を備えるため、後に実行されたプログラムが実行目
標値に達していなくプロセッサへのクロック供給を停止
しており、先行して実行されたプログラムが、実行目標
値に達した場合でも、プロセッサにクロックの供給を開
始させることが可能であるため、ネスト処理されたプロ
gramに対して、実行目標値に対してより正確な時間で
実行させることが可能である。

【0016】

【発明の実施の形態】以下、本発明の実施形態につき図
面を参照して説明する。図1は、本発明の第1の実施形
態となるプロセッサのシステム構成を示すブロック図で
ある。

【0017】図1において、プロセッサ11は、通常の
プロセッサ部分の構成であり、このプロセッサ11は、
図示しないメモリに格納されているプログラムを読み出
し、データアクセスを行いながらプログラムを実行する
ものとする。そして、プロセッサ11には、アドレスバ
ス12、データバス17及びコントロールバス18が接

5

続されている。

【0018】プロセッサ11に対しては、割込み発生器13より複数の割込み信号16aがプロセッサ11の割込み端子に入力されている。プロセッサ11は入力された割込み信号に基づいて要求のあったタスクの処理を行う。

【0019】また、クロック発生器14より生成されたクロック信号14bが、アンドゲート15を通じて信号16bにてプロセッサ11のクロック入力端子に与えられる。プロセッサ11は、与えられたクロック信号に応じた速度で処理を実行する。

【0020】実行時間タイマーカウンタ21は、タスクの実行時間を測定するもので、この実施形態では、第1、第2、第3の実行時間タイマーカウンタ21a、21b、21cを備える。すなわち、後述するように、この実施形態では、3つのタスクを処理する場合について説明しており、それぞれのタスクに対応して、第1、第2、第3の実行時間タイマーカウンタ21a、21b、21cが設けられている。

【0021】そして、それぞれのタスクに応じて実行時間を測定するために、第1、第2、第3の実行時間タイマーカウンタ21a、21b、21cのそれぞれに対して、プロセッサ11とデータバス17及びプロセッサ11からのリセット及びタイマーイネーブルのコントロール信号22で接続されている。また、プロセッサ11よりそれぞれ個別に実行時間タイマーカウンタ21a、21b、21cのリセット及びカウント動作が制御されているものとする。

【0022】なお、この実施形態では、実行時間タイマーカウンタとして3個の例を示しているが、他の構成数でも本発明は問題なく適用できる。この実施形態においては、第1、第2、第3の実行時間タイマーカウンタ21a、21b、21cは、後述するように、それぞれのタスクに対応して動作する。

【0023】実行目標レジスタ23は、それぞれのタスクが実行する目標の処理時間を格納するものである。この実施形態では、3つのタスクに対応して3つの実行目標レジスタ23a、23b、23cを備える。各実行目標レジスタ23a、23b、23cには、プロセッサ11とデータバス17及びリードライト信号24で接続されており、それぞれの実行目標レジスタ23a、23b、23cは、プロセッサ11より、データを少なくとも書き込み可能、場合によっては読み出し可能であるものとする。この実施形態においては、実行目標レジスタ23a、23b、23cもそれぞれのタスクに対応してその目標値が設定される。

【0024】実行時間タイマーカウンタ21、実行目標レジスタ23のそれぞれの出力は、バス25、バス26にて減算器27に与えられ、実行目標レジスタ23のいずれかのレジスタ値の出力と、実行時間タイマーカウン

6

タ21のいずれかのタイマー値の出力が、図1には図示していないが選択的に減算器27に入力される。

【0025】この減算器27にて、実行目標レジスタ値-実行時間タイマーカウンタ値の減算をおこない、演算結果が正の場合、すなわち、実行目標レジスタ値>実行時間タイマーカウンタ値の場合に、その値をLPモードカウンタ28のいずれかに書き込むことができる構成になっている。この実施形態においては、LPモードカウンタ28もタスクに対応して第1、第2、第3のLPモードカウンタ28a、28b、28cを備える。

【0026】書き込まれたLPモードカウンタ値は、コントロールバス18からバス29を経て与えられるシステムクロックによって0になるまでデクリメントされる。また、LPモードカウンタ28のそれぞれのカウンタ値が0の場合には、0を示す信号Z1、Z2、Z3がバス30を通じて、低消費電力コントロール信号ブロック回路31に入力される。この実施形態では、第1LPモードカウンタ28aからはZ1信号、第2LPモードカウンタ28bからはZ2信号が、第3LPモードカウンタ28cが出力される。

【0027】上記した低消費電力コントロールブロック回路31は、バス32を通じてLPモードカウンタ28への書き込み信号と、リターン命令信号等のタスクの終了信号が入力されている。

【0028】低消費電力コントロールブロック回路31からは、現在実行されているフォアグラウンドのタスク処理のLPモードカウンタ28の値がゼロ以外の場合及び割込み発生器13からの割込み要求信号16aが要求されていない場合には、アンドゲート15に対してLowレベルのクロック供給停止信号31aを出力するものとする。また、消費電力コントロールブロック回路31は、タスクに応じたクロックを発生させるために、制御信号31bをクロック発生器14に与える。

【0029】以上が代表的な実施形態を示す図1の簡単な構成の説明であり、これをもとに本発明の実施形態の動作の詳細説明を行う。

【0030】図3ないし図9は、プロセッサのタスク動作の関係を示す図である。これらの図において、水平方向は時間軸を表しており、一スパン当たりの時間単位をTとしている。また、垂直方向には、プロセッサ11の動作を分類し、タスク待ち、タスク1、タスク2、タスク3が走っている状態の場合に実線が引かれている状態を示すものである。

【0031】今、プロセッサが実行しているタスクの状態が図3のような状態であるとする。この図3において、タスク1は実行する際に総時間で4T時間必要な処理であり、タスク2、タスク3はそれぞれ2T、1T時間要するとしている。

【0032】タスク切替えの場合には、タスク処理要求の割込みがプロセッサ11に入り、その割り込み要求か

ら要求のあったタスクが走行し、タスク終了時には、割込みからの復帰命令が走行し、復帰するものとする。

【0033】また、図3ないし図9の説明において、タスク1～3の優先順位はタスク1<タスク2<タスク3としている。

【0034】図3は、プロセッサ11が低消費電力動作を行わない通常の動作を示している。図3に従いこの動作につき説明する。図3に示すように、0 T時間には、タスク待ち状態で1 T時間に、タスク1の要求が入り、タスク1が走行する。そして、2 T時間にタスク2の要求が入り、このタスクが4 T時間に終了すると共に、タスク1の走行に戻る。

【0035】5 T時間にタスク3要求が入り、タスク3が走行し、6 T時間にタスク3が終了し、タスク1に戻る。タスク1の走行は8 T時間に終了し、8 T～10 Tまではタスク待ちとなる。

【0036】10 T～20 Tは0 T～10 Tの動作と同じであるとする。

【0037】この図3の動作において、低消費電力設計を全く行わないとすると、タスク待ち、タスク1～3のいずれかが走行している状態となる。このため、0 T時間～10 Tまで、すべてプロセッサ11は走行(RUN)状態であることになる。

【0038】ここで、消費電力の目安として、RUN状態であれば消費電力を1 Wとし、IDLE状態であれば1/10 W、クロック周波数が通常のプロセッサの走行時の1/2の場合には、1/2 Wと仮定する。このように仮定すると、図3に示す例では、0～20 T期間の間全てRUN状態であるため、20 TWの電力を消費することになる。

【0039】また、処理の目安として、20 T時間内のタスク処理を行っている時間のスループットを考えると、図3の例のスループットは、タスク1に関して8、タスク2に関して4、タスク3に関して2であり、スループットは計14となる。

【0040】ここで、上記した従来方式のタスク待ち時間の場合に、プロセッサ11のクロック供給を止めて、IDLE状態にする方式を図4に示す。この例の場合には、0から1 Tまでの間、8 Tから11 Tまでの間、18 Tから20 Tの間がIDLE状態になる。

【0041】消費電力は、IDLE状態の場合には1/10 Wであるため、図4に示すものでは、消費電力は以下の通りになる。

【0042】

$$1/10 W \times 6 T + 1 W \times 14 T = 14.6 TW$$

【0043】また、スループットは、14である。

【0044】図4に示す場合の問題としては、タスクは全く走行していない状態が20 T期間中に6 Tある場合には、その分低消費電力化が可能であるが、タスク要求が常にある場合においては、消費電力は減少しないとい

う問題がある。

【0045】さらに、上記の図4の従来方式にプラスして、動作周波数を通常の1/2にした場合を図5に示す。動作周波数を通常の1/2にすると、図4に示すように、タスク1～3を実行するための所要時間は、それぞれ倍になり、8 T、4 T、2 Tとなる。

【0046】この図5の場合には、消費電力は、IDLE状態の場合には1/10 Wであるため、消費電力は以下の通りになる。

【0047】

$$1/10 W \times 6 T + 1/2 W \times 14 T = 7.6 TW$$

【0048】また、スループットは、7となる。

【0049】図5の例のように、動作周波数を減らした場合には、消費電力もその分確実に減るが、スループットも同様に減少してしまうという問題がある。

【0050】この発明は、スループットを低減させずに、消費電力を低減させるように構成したものである。図1に示す構成の本発明のプロセッサの動作例を図6に示す。

【0051】通常、それぞれ4 T、2 T、1 T時間必要であるタスク1～3に対して、低消費電力化のために、タスク1は8 T、タスク2は6 Tと実行時間を2倍、3倍の目標値に設定し、タスク3はそのままの1 T時間で走るように、コントロールする。

【0052】このため、プロセッサ11より、予め、図1の実行目標レジスタ21のそれぞれのレジスタ21a、21b、21cに関して、8 T、6 T、1 Tに相当する値を設定しておく。

【0053】図6に示す動作の説明では、図3、図4と同様に、0 T～1 Tまではタスク待ち状態になっている。

【0054】1 T時間において、タスク1の要求割込みが、図1の割込み発生器13を通じて、信号16aとしてプロセッサ11に入る。このプロセッサ11は割込みに応じて、タスク1のプログラムを実行する。

【0055】タスク1のプログラムの中の実行時間を制御したい開始部分には、実行時間タイマーカウンタ21を制御する部分があり、その部分にプロセッサ11がさしかかると、第1実行タイマーカウンタ21aをリセットした後に、イネーブルにするものとする。

【0056】例えば、プロセッサ11内に、実行タイマーカウンタ21を制御する命令、STIM命令が実装されている場合には、実行時間を制御したい開始部分、例えばタスク1の開始部分に、以下の命令を入れる。

【0057】STIM 1

(第1実行時間タイマーカウンタ21aをリセット、カウンタイネーブルにする命令)

【0058】この命令で、第1実行時間タイマーカウンタ21aはタスク1の実行時間を測定し始めることになる。

【0059】そして、2T時間の位置においては、タスク2の要求割込みが、図1の割込み発生回路13を通じて、信号16aとしてプロセッサ11に入る。タスク2においても、上記タスク1開始時と同様に、第2実行時間タイマーカウンタ21bをリセット及びカウンターをイネーブルにすることでタスク2の実行時間を測定し始める。

【0060】図6の4T時間において、タスク2の実行が終了し、タスク1に戻るために割込みからの復帰命令を実行するが、その直前に、タスク2の第2実行時間タイマーカウンタ21bと第2実行目標レジスタ23bの値を比較する命令を行う。例えば、その命令をCTIM命令とすると、次の命令を実行する。

【0061】CTIM 2

(第2実行目標レジスタ23b-第2実行時間タイマーカウンタ21bを行いその結果が、正であれば、第2LPモードカウンタ28bに値を格納する。)

【0062】第2LPモードカウンタ28bは、もしゼロ以外の値が入っている場合には、自動的にゼロまでデクリメント処理を行うと共に、値がゼロを示すZ2信号20であるステータス信号30を消費電力コントロール回路31にLPモードカウンタ28のステータス信号として出力する。

【0063】図6に示す例では、第2LPモードカウンタ28bに(6T-2T=4T)時間の値がロードされ、4T期間、LOWレベルのZ2信号としてのステータス信号30が低消費電力コントロールブロック回路31に出力される。ステータス信号30のLOWレベル入力に応じて、低消費電力コントロールブロック回路31は、コントロール信号31aをLOWレベルにし、アンド回路15からのクロック供給信号16bを止める。

【0064】このように、タスク2の実行目標に対して、実行時間が少ない場合には、積極的にクロックを止めるIDLE状態を作り出し、プロセッサ11が低消費電力状態になる。

【0065】図65に示す例でIDLE状態である、5T時間において、さらにタスク3の要求割込みが、図1の割込み発生回路13を通じて割り込み信号16aとしてプロセッサ11に入る。この割り込み要求信号16aは、消費電力コントロール回路31にも入力されるため、この割り込み要求信号16aに応じて、消費電力コントロール信号31aをHIGHレベルにし、クロック信号16bをプロセッサ15に対して、供給するように動作する。

【0066】タスク3においても、第3実行時間タイマーカウンタ21cをリセット及びカウンターをイネーブルにすることでタスク3の実行時間を測定し始める。

【0067】タスク3の実行が終了し、タスク2に戻るために割込みからの復帰命令を実行するが、その直前に、タスク3の第3実行時間タイマーカウンタ21cと

第3実行目標レジスタ23cの値を比較する命令を行う。

【0068】例えば、その命令をCTIM命令とすると、以下の命令が出される。

【0069】CTIM 3

(第3実行目標レジスタ23c-第3実行時間タイマーカウンタ21cを行いその結果が、正であれば、第3LPモードカウンタ28cに値を格納する。)

【0070】第3LPモードカウンタ28cは、もしゼロ以外の値が入っている場合には、自動的にゼロまでデクリメント処理を行うと共に、値がゼロを示すZ3信号としてのステータス信号30を消費電力コントロールブロック回路31にLPモードカウンタ28のステータス信号として出力する。

【0071】いま、タスク3は本体の走行に1T時間を要する。また、第3実行目標レジスタ23cのレジスタ値も1T時間のため、CTIM 3は、0以下の比較値となるためステータス信号30は変わらず、6Tの位置でそのままタスク2に処理が戻る。6Tの位置では、第2LPモードカウンタ28bのZ2信号がまだLOWレベルであるため、再びIDLE状態になり、アンド回路15からのクロック供給16bは停止する。

【0072】図6の8Tの場所においては、第2LPモードカウンタ28bの値が0になるため、第2LPモードカウンタ28bからの信号Z2がHIGHレベルになり、ステータス信号30はHIGHとなり、消費電力コントロールブロック回路31からのコントロール信号31aはHIGHになり、アンド回路15からクロック供給16bが開始され、タスク2からタスク1への復帰命令が走り、タスク1に走行が戻る。

【0073】タスク1は、11Tの位置において、タスク1の処理を終了し、タスク待ち状態に復帰を実行するが、その直前に、タスク1の第1実行時間タイマーカウンタ21aと第1実行目標レジスタ23aの値を比較する命令を行う。

【0074】例えば、その命令をCTIM命令とすると、以下の命令が行われる。

【0075】CTIM 1

(第1実行目標レジスタ21a-第1実行時間タイマーカウンタ23aを行いその結果が、正であれば、第1LPモードカウンタ28aに値を格納する。)

【0076】第1LPモードカウンタ28aは、もしゼロ以外の値が入っている場合には、自動的にゼロまでデクリメント処理を行うと共に、値がゼロを示すZ1信号を消費電力コントロールブロック回路31に第1LPモードカウンタ28aのステータス信号として出力する。

【0077】図6の例では、11Tの位置において、第1実行時間タイマカウンタ値21aは、既に10Tをカウントしており、第1実行目標レジスタ23aの値8Tより大きいため、ステータスZ1信号はHIGHレベル

11

のままであり、クロック供給を停止すること無く、タスク待ち状態に戻る。12T~20Tも0~11Tとはほぼ同様の動作を行う。

【0078】以上、本発明を用いた図6の例では、消費電力は以下ようになる。

【0079】消費電力は、IDLE状態の場合には1/10Wであるため、以下の通りになる。

【0080】

$$1/10W \times 10T + 1W \times 10T = 11.0TW$$

【0081】スループットは、総計10となり、フルに走行している図3、図4よりも総計では落ちているが、タスク3はスループット2、タスク2はスループット4であり、図3、図4と変わりなく処理している。

【0082】又、図5に比べて、全てのタスクの動作周波数を落とすこともない。このため、タスク3のように、1T期間でフルに走行しているので、高速を期待する処理に関しては、スループットが落ちることはなくなる。

【0083】また、実行時間目標レジスタ23の値を変更することにより、低消費電力化と高速動作のトレードオフを容易に変更可能である。

【0084】本発明を用いたもう1つの動作例を図6を用いて説明する。図7では、図4と同様にタスク1、2、3を各2回ずつ処理する例を示している。

【0085】タスク1に関しては、時間1Tで最初のタスクが要求され、タスク1の終了後3T時間において、タスク1の2回目要求が来るものとする。タスク2に関しては、2T、12Tと一定時間毎にタスク要求が来るものとし、タスク3に関しては、タスク2と同様5T、15Tのように一定時間毎に、タスク要求がくるものとする。

【0086】図7では、全てのタスクが2回ずつ処理されるまでの時間は、22T時間である。そのうちIDLE状態が8T、RUN状態が14Tとなる。

【0087】消費電力は、IDLE状態の場合には1/10Wであるため、以下の通りとなる。

【0088】

$$1/10W \times 8T + 1W \times 14T = 14.8TW$$

【0089】上記より、単位時間当たりの平均消費電力は、14.8TW/22T=0.672Wとなる。

【0090】一方、従来例の図4では、全てのタスクが2回ずつ処理されるまでの時間は、18T時間である。そのうちIDLE状態が4T、RUN状態が14Tとなる。

【0091】消費電力は、IDLE状態の場合には1/10Wであるため、以下の通りとなる。

【0092】

$$1/10W \times 4T + 1W \times 14T = 14.4TW$$

【0093】単位時間当たりの平均消費電力は、14.4TW/18T=0.8Wとなる。

12

【0094】図4と図7の比較で判るように、同じタスク処理を行う場合の、消費電力（本来は消費エネルギー）は、図4が14.4TWに対して、図7では、14.8TWになり、この条件では若干大きくなっている。しかし、単位時間当たりの消費エネルギーである消費電力は、0.678Wになり、図4に対して抑制されている。従って、消費電力をよりコントローラブルにできるし、かつ優先順位の高いタスクに対してのレスポンスもコントロールできる長所を持っているといえる。

【0095】本発明の第2の実施形態を図2に示す。なお、図1と同じ構成部分には同じ符号を付し、説明の重複を避けるために個々では、その説明を省略する。

【0096】図2に示す第2の実施形態は、LPモードカウンタスタック42を持っている。このスタックは、図2に示すようにNレベルのスタックで、スタックに入れる値は、実行目標レジスタ41の値をスタックにプッシュする。各スタックのLPモードカウンタは、独立にカウントダウンする機能を持っている。また、カウント値が0になり、さらにカウントダウンした場合にカウンタ最大値になるが、この例では最大値になればカウントダウンを停止するものとする。すなわち、各LPモードカウンタは、最大値以外の値の時にカウントダウンするものとする。各LPモードカウンタは、各カウンタ値がゼロの場合に出力するZステータス出力と、非同期リセット信号Rを持っており、下層レベルのスタックのZステータス出力は、オア（OR）ゲート44に入り、ORゲート44の出力がR信号につながっている、従って、下層レベルのカウント値がゼロになった場合には上層レベルのカウント値もゼロになる。

【0097】スタックトップの第1LPモードカウンタスタックのZステータス出力32aは、インバータ45で反転され、フリップフロップ46の出力と共にアンドゲート47に与えられ、アンド回路47の出力信号47aが消費電力コントロールブロック回路31に入る。

【0098】フリップフロップ46の入力は、プロセッサ11から信号線48よりセットをコントロールされているものとする。

【0099】この第2の実施形態では、図1の実施形態と同じく各タスクのプログラムの中の実行時間を制御したい開始部分に、プロセッサ11がさしかかると、実行目標レジスタ41の値をLPモードカウンタスタック42にプッシュする動作を行うものとする。

【0100】例えば、プロセッサ11内に、PUSHを制御する命令、PTIM命令が実装されている場合には、実行時間を制御したい開始部分、例えばタスクの開始部分に、以下の命令が実装される。

【0101】PTIM 3

（第3実行目標レジスタの値を、第3LPモードカウンタスタックにプッシュする。）

【0102】LPモードカウンタスタック42は、最大

値以外の値であるとデクリメントするため、デクリメントしながら実行時間を測定し始めることになる。

【0103】一方、タスクの実行が終了し、割込みからの復帰命令を実行するが、その直前に、タスクの実行終了を知らせる命令を行う。

【0104】例えば、その命令をFTASK命令とすると、プロセッサ11はフリップフロップ46をセットする。このセットする意味は、LPモードカウンタスタック42のトップの値がゼロ以外の場合には、信号45aがHIGHレベルになっているため、信号47aをHIGHレベルにし、このHIGHレベルに応じて、プロセッサ11へのクロック供給を消費電力コントロールブロック回路31がコントロールするものとする。

【0105】第1LPモードカウンタの値が0になると、信号45aがゼロになり、フリップフロップ46をゼロにすると共に、プロセッサ11にクロックが供給されるコントロールがなされる。

【0106】また、復帰命令時には、LPモードカウンタ値がPOPされるものとする。

【0107】この第2の実施形態では、第1の実施形態と異なり、実行時間を測定するのは、実行時間タイマカウンタではなく、LPモードカウンタスタック42であるため、実行時間タイマカウンタは必要ない。また、LPモードカウンタスタック42には、実行目標レジスタ41の値がロードされるため、第1の実施形態の減算器27も必要なくなる。

【0108】また、LPモードカウンタスタック42はスタック構成になっているため、同じタスクのネスト実行にも完全に対応できる特徴を持っている。

【0109】また、下層レベルのカウント値がゼロすなわち、先に実行されているタスクの目標実行時間が過ぎた場合に、後でネスト処理で実行されているタスクがIDLE状態を作ることはなく、第1の実施形態よりも目標時間に対しての精度を高めることが可能である。

【0110】本発明の第1実施形態を用いた図8と第2実施形態を用いた図9を用いて、この効果を説明する。

【0111】図8では、タスクの目標時間が5Tにもかかわらず、より優先順位の高いタスク2が入り、目標時間が6Tであり、それが終了するまでタスク1の実行が待たされるため、タスク1に関しては、目標5T時間に対して、10T時間処理するのに必要になっており目標時間とのずれが大きい。

【0112】一方、この第2実施形態では、タスク1の5T時間後に、タスク2の待ち状態をクリアする機能が働くため、タスク1の目標実行時間5Tに対して8Tで終了し、目標時間とのずれが小さくなっている。

【0113】下層レベルのカウント値がゼロすなわち、先に実行されているタスクの目標実行時間が過ぎた場合に、後でネスト処理で実行されているタスクがIDLE状態を作ることはなく、第1の実施形態よりも目標時間

に対しての精度を高めることが可能である。

【0114】なお、第1、第2実施形態で示した実行目標レジスタは、実行目標を格納しておく記憶要素であり、レジスタ、レジスタファイル、メモリ等の記憶要素であれば本発明は実施可能である。

【0115】

【発明の効果】以上説明したように、この発明では、プロセッサ内にプログラム毎の実行目標値を設定するための記憶装置と、プログラムの実行時間を同時に測定するカウンタ手段と、プログラムの実行時間が、実行目標値に対して少ない場合には、実行目標時間になるまで、プロセッサのクロックの供給を止める手段と、を備えているため、プログラム毎に目標実行時間を制御することができる。またプログラム毎の実行目標値を設定するための記憶装置を書換えることで、プログラム毎の実行時間と消費電力をコントロールする手段をもつため、プログラム毎に実行時間を制御し、遅く走っても良いプログラムに対してはより低消費電力で走行させると共に、制限時間内に処理する必要のある優先順位の高いプログラムや、より早いレスポンスを期待するプログラムに対しては、消費電力を犠牲にしても速く走らせることができるコントロール手段を提供することができる。

【0116】また、この発明では、実行目標値に達したかどうかを測定するカウンタスタック装置を持つため、同一プログラムがネスト処理されている場合にも、プログラム毎の実行時間と消費電力をコントロールすることが可能である。また、下層レベルのカウント値が実行目標時間になった場合には、より上層レベルのカウント値を実行目標時間に達したことを意味する値に設定する機能を備えるため、後に実行されたプログラムが実行目標値に達していなくプロセッサへのクロック供給を停止しており、先行して実行されたプログラムが、実行目標値に達した場合でも、プロセッサにクロックの供給を開始させることが可能であるため、ネスト処理されたプログラムに対しても、実行目標値に対してより正確な時間で実行させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態となるプロセッサのシステム構成を示すブロック図である。

【図2】本発明の第2の実施形態となるプロセッサのシステム構成を示すブロック図である。

【図3】プロセッサが低消費電力動作を行わない通常のタスク動作を示す図である。

【図4】従来方式のタスク待ち時間の場合に、プロセッサのクロック供給を止めて、IDLE状態にする方式の動作を説明する図である。

【図5】図4に示す従来方式にプラスして、動作周波数を通常の1/2にした場合の動作を説明する図である。

【図6】この発明の第1の実施形態におけるプロセッサの動作を説明する図である。

15

【図7】この発明の第1の実施形態におけるプロセッサの動作を説明する図である。

【図8】この発明の第1の実施形態におけるプロセッサの動作を説明する図である。

【図9】この発明の第1の実施形態におけるプロセッサの動作を説明する図である。

【符号の説明】

11 プロセッサ

*13 割込み発生器

14 クロック発生器

15 アンド回路

21 実行時間タイマーカウンタ

23 実行目標レジスタ

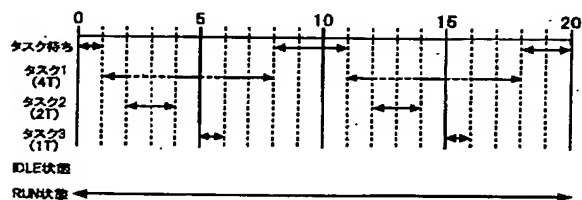
27 減算器

28 LPモードカウンタ

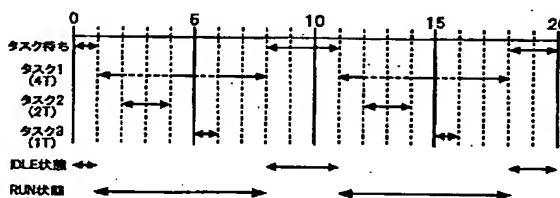
* 31 消費電力コントロールブロック回路

16

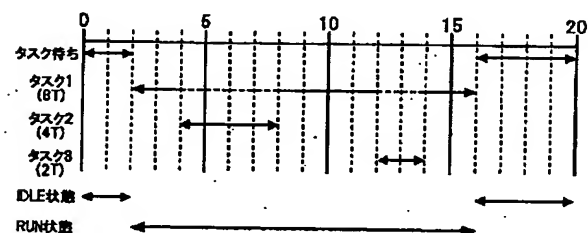
【図3】



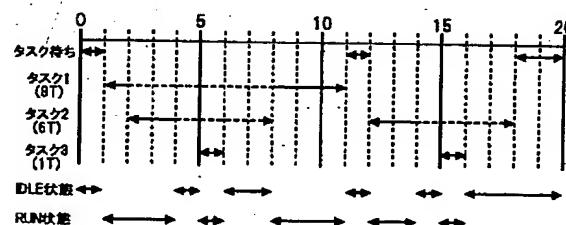
【図4】



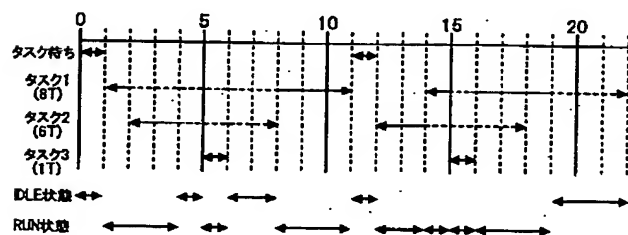
【図5】



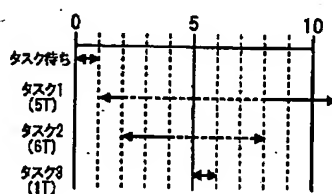
【図6】



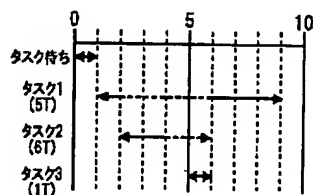
【図7】



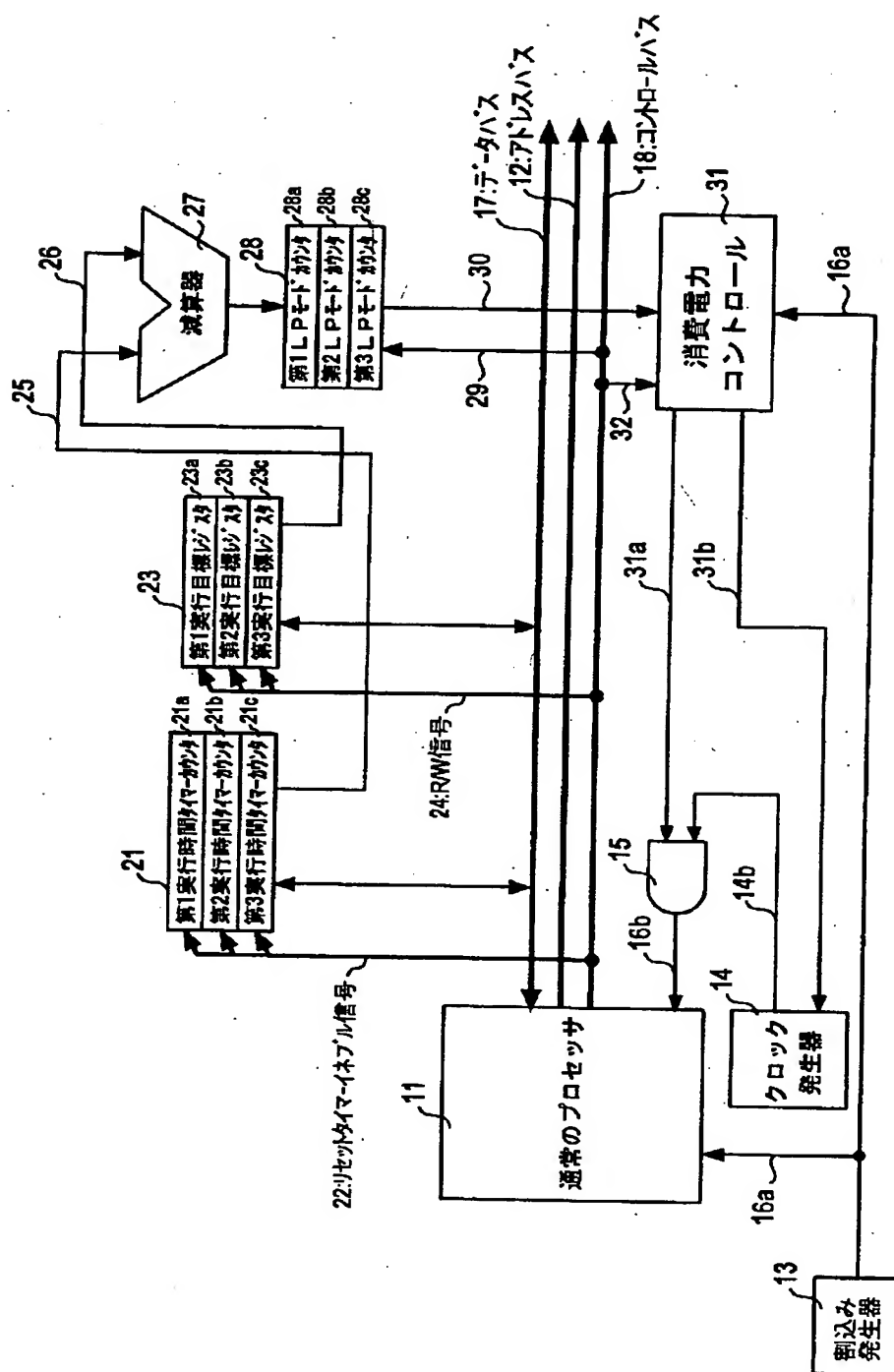
【図8】



【図9】



【図 1】



BEST AVAILABLE COPY

【図2】

